Z80Aマシン語コード表

MSXのCPU・Z80Aのマシン語コードをまとめています。各マシン語命令の動作を知りたいときは命令動作表、コードを知りたいときやコードから命令を知りたいときは、命令コード表を使います。

●命令動作表の使い方

LD IY, (nn)

LD (nn), HL

 $IY_H \leftarrow (nn+1)$

IYr.←(nn)

(nn)←L

LD (nn), dd $(nn+1) \leftarrow dd_H$

(nn+1)←H

命令の種類ごとに分類しています。ニーモニック欄は命令の名前で、アセンブラを使うときに使います。動作内容は、命令の動作を簡潔に表しています。←は、右側の内容を左側へ代入することを示します。またカッコでくくられたものは、くくられたレジスタなどで示されるメモリの内容を意味します。(HL)とあれば、HLレジスタペアの内容で示されるアドレスのメモリ内容になります。ただし、入出力命令の(C)と(n)は、対応する入出力ボートの番号を意味します。PCHなどの表記は、その16ビットレジスタの上位8ビット(PCLは下位8ビット)の内容を意味します。フラグ動作の表記は次の通りです。●は変化なし、0はリセット、1はセット、↓は実行結果により変化、Xは不定(無意味)。その他IFFは、割り込みフリップフロップの内容が、そのフラグに読み出されます。P/Vフラグの欄でPまたはVとある場合、このフラグがそれぞれバ

リティ/オーバーフローフラグとして動作することを意味 しています。長さの欄は、オペランドを含む命令の長さを 示しています。 Mサイクルと Tサイクルは、それぞれ命令 実行に要するマシンサイクル数、クロックサイクル数です。 ただし、 MS Xでは M1 サイクルに 1 ウエイト (1 Tだけ 長くなる)、また I/Oポートの読み出し/書き込みにもウエ イトがかかりますから注意してください。

●命令コード表の使い方

各命令のコードを左側に記しています。コード中の n と d は、命令に続いて(または命令中に)与える 1 バイトの データを意味しています。また nn_H は、16ビットのデータ の内の上位 8 ビット (nn_L は下位)を示します。 e は相対 分岐命令でのアドレス位置を示す 1 バイトのデータです。 d 及び e の内容はー128~127の数値とみなされ、負の数は 補数表現です。なお、E D70のコードはフラグのみに影響を与える入力命令です。

	BC=0までくり返す			
LDD	(DE)←(HL), DE		2 4	16
	←DE-1, HL←HL	1		
	-1, BC←BC-1		3	3
LDDR	(DE)←(HL), DE	• • 0 • 0 0	2 5	21
	←DE-1, HL←HL		4	16
	-1, BC←BC-1		4	4
	BC=0までくり返す	1 5 4		
CPI	A-(HL), HL←HL	• 1 1 1 1 1	2 4	16
	+ 1, BC←BC-1	20		
			11.50	(5)
CPIR	A-(HL), HL←HL	• 1 1 1 1 1	2 5	21
	+1, BC←BC-1	20	4	16
	A=(HL), またはBC		6	6
	= 0までくり返す			
CPD	A-(HL), HL←HL	• 1 1 1 1 1	2 4	16
	-1, BC←BC-1	20		
			(5)	(5)
CPDR	A-(HL), HL←HL	• 1 1 1 1 1	2 5	21
	-1, BC←BC-1	20	4	16
	A=(HL), #tctBC	-	6	6
	= 0までくり返す			

①BC=0となったとき、P/Vフラグが0、それ以外で1。②A= (HL)となったとき、Zフラグが1、それ以外で0。③BC+0のときのサイクル数。④BC=0のときのサイクル数。⑤BC+0で、A+ (HL) のときのサイクル数。⑥BC=0またはA= (HL) のときのサイクル数。

| AND (IY+d) | A←A∧ (IY+d) | 0 ↑ P ↑ 0 1 | 3 | 5 | 19

0 1 P 1 0 0 1 1 4

0 1 P 1 0 0 2 2 7

0 1 P 1 0 0 1 2 7

A←A∨r

A←A∨n

(4) (4) OR (IX+d) A←A∨(IX+d) 0 1 P 1 0 0 3 5 19

は不定(無意味)。	その他IFFは、割り	込みフリップ	フロ		d及びeの内容に	は-128~127の数値と	みなされ、負の	の数	は	きのサイクル数。					
)フラグに読み出され					なお、ED70のコード	はフラグのみり	こ影	響		CPU 制御命	令			
	/ とある場合、このフ		れバ	_	を与える入力命令	うです。	1		1	ニーモニック	動作内容	フラグ動作 C Z P/V S N H	長さ		1
命令動作表				LD (nn), IX	(nn)←ddL (nn+1)←IXH (nn)←IYL	•••••	4	6 20	DAA	8ビートデータの加減 算後に実行することで	11P1•1	1	1	4	
	8ビット移動台	令			LD (nn), IY	(nn+1)←IXH (nn)←IYL	•••••	4	6 20	CPL	BCDに変換する A←A	••••11	1	1	4
ニーモニック	動作内容	フラグ動作	長		LD SP, HL	SP←HL	•••••	1	1 6	NEG	A←0 – A	1 1 V 1 1 1	2	2	11
	201777	C Z P/V S N H	NA.	T	LD SP, IX	SP←IX		2	2 10	CCF	CY← <u>CY</u>	10000×	1	1	П
	766			Ш	LD SP, IY	SP←IY	•••••	2	2 10	SCF	CY←1	1 • • • 0 0	1	1	П
LD r.r'	r←r'		1 1	4	PUSH qq	(SP-2)←qq _L		1	3 11	NOP	ノーオペレーション	•••••	1	1	1
LD r, n	r←n		2 2	7		$(SP-1)\leftarrow qq_H$				HALT	CPU動作停止	•••••	1	1	П
LD r. (HL)	r←(HL)		1 2		PUSH IX	(SP-2)←IXL		2	4 15	DI	割り込み禁止(IFF←0)		1	1	1
LD r. (IX+d)			100	19	13.	(SP-1)←IXH				El	割り込み許可(IFF←1)		1	1	т
LD r, (IY+d)			150	19	PUSH IY	(SP-2)←IYL	•••••	2	4 15	IM Ø	割り込みモードの設定	•••••	2	2	н
LD (HL), r	(HL)←r		1 2	155	Later and the same	(SP-1)←IYH				IM 1	割り込みモード1設定	•••••	2	2	ш
LD (IX+d), r	(IX+d)←r			19	POP qq	$qq_1 \leftarrow (SP)$		1	3 10	IM 2	割り込みモード2設定	•••••	2	2	I
LD (IY+d),r	(IY+d)←r		100	19	1000	$qq_H \leftarrow (SP+1)$									_
LD (HL), n	(HL)←n		7.352 11.58	10	POP IX	IXL←(SP)		2	4 14		8ビット演算命	<u></u>			
LD (IX+d), n	(IX+d)←n		1.0	19	SPORT SHOW	IXH←(SP+1)	CARSON MILI				0 レノー () 日	ידר			Ų.
LD (IY+d), n	(IX+d)←n		10000	19	POP IY	IYL←(SP)		2	4 14	ニーモニック	動作内容	フラグ動作	長		ı
	SCHOOL STATE OF STATE OF		1 2	88		IYH←(SP+1)					MITTIE .	CZPVSNH	1500	I M	
LD A, (BC)	A←(BC)											CZMSNH	6		
LD A, (DE)	A←(DE)		1 2		dd: BC, DE, HL,	SP, qq: BC, DE,	HL, AF			ADD A, r	A←A+r	ttvtet	,	1	I
LD A, (nn)	A←(nn)		3 4	1		交換命令				ADD A, n	A←A+n	11 1 1 0 1	2	1 3	н
LD (BC), A	(BC)←A		1 2	90.1		又没叩巾				ADD A, (HL)	A←A+(HL)	11 1 1 0 1	1	2	
LD (DE), A	(DE)←A		1 2		ニーモニック	動作内容	フラグ動作	長		ADD A, (IX+d)	A←A+(IX+d)	11 1 1 0 1	1	5	н
LD (nn), A	(nn)←A	•••••		13		動作的会	C ZP/V S N H	t t	M T		The second secon	11 1 0 1 0 1	100	22	П
LD A, I	A←I	• 11FF 1 0 0	100	9			CZF/ISINII	-		ADD A, (IY+d)	A←A+(IY+d)		3	5	П
LD A, R	A←R	• \$IFF \$ 0 0		9	EX DE, HL	DE↔HL		1	1 4	ADC A, r	A←A+r+CY	ttvt@t	1	1	П
LD I, A	I ← A			9		AF↔ AF'		1000	1 4	ADC A, n	A←A+n+CY	ttvtot	2	777	ш
LD R, A	R←A		2 2	9	EX AF, AF'	BC ↔ BC' DE ↔ DE'		1		ADC A, (HL)	A←A+(HL)+CY	ttvtot	1	2	П
r': B, C, D, E, I	н г д				EXX	HT ↔ HT,		1	1 4	ADC A, (IX+d)	A←A+ (IX+d)+CY	1 1 V 1 0 1 1 1 V 1 0 1		5	
		1000			EX (SP), HL	L↔(SP)		,	5 19	ADC A, (IY+d) SUB r	A←A+ (IY+d)+CY	11 1 1 1 1	3	1	
	16ビット移動命	令			EA (SF), FIL	H↔(SP+1)		1	3 13	SUB n	A←A−r A←A−n	1 1 V 1 1 1	2	4 35	ш
					EX (SP), IX	IXL↔(SP)		2	6 23		A←A−(HL)	1 1 V 1 1 1	1	2	ш
ニーモニック	動作内容	フラグ動作	長M	Т	EX (SF), IX	$IX_{H} \leftrightarrow (SP+1)$		-	. 23	SUB (IX+d)	1872 - 5 19	11 11 11	3	1	
	-6/2	CZP/VSNH	₹ "		EX (SP), IY	IYL↔(SP)		2	6 23		A←A−(IX+d)	111111	1000		
				Ħ	EA (SF), 11	IYH↔(SP+1)		2	0 23	000 (A←A−(IY+d)		3	1 20	1
LD dd, nn	dd←nn		3 3	200		(OFTI)				SBC A, r	A←A−r−CY	11V111		1	
LD IX, nn	IX←nn		157 1 10	14	AF'などは裏レジス	タを示す。				SBC A, n	A←A−n−CY	\$ \$ V \$ 1 \$	2	1	ш
LD IY, nn	IY←nn		1	14		10.000.000000				SBC A, (HL)	A←A−(HY)−CY	\$ \$ V \$ 1 \$	1	1 ~	115
LD HL, (nn)	H←(nn+1) L←(nn)	•••••	3 5	16		ブロック転送命	ने ने जिल्ला के किए के किए			SBC A, (IX+d) SBC A, (IY+d)	$A \leftarrow A - (IX+d)-CY$ $A \leftarrow A - (IY+d)-CY$	\$ \$ V \$ 1 \$ \$ \$ V \$ 1 \$	3	175	1
LD dd. (nn)	dd _H ←(nn+1)		4 6	20	ニーモニック	動作内容	フラグ動作	長		AND r	A←A∧r	0 1 P 1 0 1	1	1	
LD dd, (IIII)	$dd_{H} \leftarrow (nn + 1)$ $dd_{I} \leftarrow (nn)$		1,0	20	access on the	Towns to the second	CZPNSNH	đ	МТ	AND n	A←A∧n	0 1 P 1 0 1	2	2	
LD IX, (nn)	IXH←(nn+1)		4 6	20						AND (HL)	A←A∧(HL)	0 1 P 1 0 1	17/25	2	
LD IA, (IIII)	IXH←(nn+1)		1" 0	20	LDI	(DE)←(HL), DE		2	4 16		A←A∧ (IX+d)	0 1 P 1 0 1			
	IVr←(UU)					(112), DE		~	1.0	(IX U)	A A CIA I U		1	1	1

←DE+1, HL←HL

+1, BC \leftarrow BC-1

←DE+1, HL←HL

+1, BC←BC-1

1

(DE)←(HL), DE | •• 0 • 0 0 2 5 21 OR n

3 3 OR r

4 16 OR (HL) A←A∨(HL)

1															
00 (1111)		50 2 0 F9	1-1		11		1 222 2	11	1-1		4 4 4		1		
OR (IY+d)	$A \leftarrow A \lor (IY + d)$	0 1 P 1 0 0		5 19	The second secon		11P100	100	4000		(SP-1)←PCH				
XOR r	A←A⊕r	0 1 P 1 0 0	1	1 4	RRC (IX+d)	7 -0 -0	11P100	4 6	23		PC←nn				
XOR n	A←A⊕n	0 1 P 1 0 0	2	2 7	RRC (IY+d)		11P100	4 6	23	CALL NZ, nn	Z=0 & SCALL nn		3	3	10
XOR (HL)	A←A⊕(HL)	0 1 P 1 0 0		2 7		1	11P100		8		と同じ	110010000000000000000000000000000000000	1		17
XOR (IX+d)	A←A⊕(IX+d)	01P100		5 19			11P100		15	CALL 7	Z=1&6CALL nn		3		10
		1	- 1							CALL Z, nn					
XOR (IY+d)	$A \leftarrow A \oplus (IY + d)$	01P100		5 19		7 -0 -01	1 1 P 1 0 0		23		と同じ	30	1		17
CP r	A - r	11V111	1	1 4	RR (IY+d)	l J	11P100	4 6	23	CALL NC, nn	C=0tbCALL nn		3	3	10
CP n	A-n	11V111	2	2 7	SLA r	1	11P100	2 2	8		と同じ		1	5	17
CP (HL)	A- (HL)	1 1 V 1 1 1			And the second s		11P100		15	CALL C '	C=1&SCALL nn			3	
	650 00				SLA (HL)	OY - 7 - 0 - 0				CALL C, nn					
CP (IX+d)	A-(IX+d)	1 1 V 1 1 1		5 19			11P100	4 6	23		と同じ				17
CP (IY+d)	A-(IY+d)	1 1 V 1 1 1	3	5 19	SLA (IY+d)		11P100	4 6	23	CALL PO, nn	P/V = 0 to CALL nn		3	3	10
INC r	r ← r + 1	• 1 V 1 Ø 1	1	1 4		1	11P100		8	20,000 0,000 0,000	と同じ		1		17
INC (HL)	(HL)←(HL)+1	• : v : o :		3 11	The state of the s		11P100			CALL PE. nn		-202		3	
						7 - 0 - 0			15	CALL PE, nn	P/V=1ならCALL nn				
INC (IX+d)	$+XI) \rightarrow (p+XI)$	• 1 V 1 Ø 1	3	6 23	TOUGHS THE THE THE		11P100	4 6	23	Service and	と同じ		1		17
	d) + 1				SRA (IY+d)	IJ	11P100	4 6	23	CALL P, nn	S=016CALL nn		3	3	10
INC (IY+d)	(IY+d) ← (IY+	• 1 V 1 0 1	3	6 23	SRL r		11P100	2 2	8	School Comment	と同じ		1	5	17
3,	d)+1				SRL (HL)		11P100			CALL M. nn	S=1&6CALL nn			3	
DEC r	LOGINAL BUNGS		1.1		The state of the s	0 → 7 → 0 → 0Y	1			CALL IVI, IIII			1200		
THE RESERVE OF THE PARTY OF THE	r ← r − 1	• ‡ V ‡ 1 ‡	100	1 4			11P100		23	1Marina	と同じ		1		17
DEC (HL)	$(HL) \leftarrow (HL) - 1$	• 1 V 1 1 1		3 11			11P100	4 6	23	RET	PCL←(SP)		1	3	10
DEC (IX+d)	$+XI) \rightarrow (D+XI)$	• 1 V 1 1 1	3	6 23							PCH←(SP+1)				
	d)-1				r: B, C, D, E, H, I	_, A				RET NZ	Z=0ならRETと同じ		1	1	5
DEC (IY+d)	(IY+d) ← (IY+	• 1 V 1 1 1	2	6 22	D 100	11 11016	A .			1321 142	Z-0 a SINE I CINO		1	14.00	11
DEC (IIT d)		• , , , , ,	3	0 23		ビット操作命	守					1.77 (4-12)			
	d) - 1									RET Z	Z=1ならRETと同じ			1	
A I A NI D WATER I	/HODER OHNO	0.3596.4.4.4	-	-	ニーモニック	動作内容	フラグ動作	長、	1				1	3	11
/、GAND演算、	√はOR演算、⊕はXO	八 典昇で表す。					CZPVSNH	a N	T	RET NC	C=0ならRETと同じ		1	1	5
	16ビット演算命	4					3,45,60				(1. 1. 1. 1. 1. 1. 1. 1. 1. 1. 1. 1. 1. 1		0	3	11
	「リーノー、伊昇リ	e-R.			RIThe	Z←rのbit b	•1××01	2 2		RET C	C=1ならRETと同じ		1	1 1	5
	The March of		_		BIT b, r					1121	O-TANKEI CINIC		100		
ニーモニック	動作内容	フラグ動作	長	MT	BIT b, (HL)	Z←(HL)のbit b	• 1 ×× 0 1			2022	care da seminare		1000	3	100
		C ZP/V S N H	t		BIT b, (IX	Z←(IX+ d)	• 1 ×× 0 1	4 5	20	RET PO	P/V=0ならRETと同じ		1	1	5
				-	+ d)	o bit b							1	3	11
ADD HL, ss	HL←HL+ss	1 • • • 0 ×	1	3 11		Z←(IY+d)	• 1 ×× 0 1	4 =	20	RET PE	P/V=1ならRETと同じ			1	
							^ > 0 1	" "	20	NET TE	1/1-12 JILI CIAD		1	75,714	11
ADC HL, ss	HL←HL+ss+CY	tivt 0×		4 15	ACCOUNTS TO THE	øbit b					ner bester termination.	THAT ARE THE LOS	1950	100	100
SBC HL, ss	HL←HL-ss-CY	1 1 V 1 1 ×	2	4 15	SET b, r	rのbit b←1		2 2	'8	RET P	S= ØならRETと同じ			1	
ADD IX, pp	IX←IX+pp	: • • • 0 ×	2	4 15	SET b. (HL)	(HL) ø bit b←1		2 4	15				1	3	11
ADD IY, rr	IY←IY+rr	1 ×		4 15		(IX+d)obit			23	RET M	S=1ならRETと同じ		1	1	5
The state of the s								17 0	23	134.	O TESTICIONO	LTGS705TU76CT STL		3	328
INC ss	ss←ss+1		120	1 6	The state of the s	b←1					Transport Control of the Control of	CARLO CONCORD			
INC IX	IX←IX+1		2	2 10	SET b, (IY	(IY+d)のbit		4 6	23	RETI	割り込みルーチンから		2	4	14
INC IY	IY← Y+1		2	2 10	+ d)	b←1					のRET命令				
DEC ss	ss←ss-1		1	1 6		rのbit b←0		2 2	8	RETN	ノンマスカブル割り込		2	4	14
The state of the s	1988 TO 1988 11 12		200	2 10	CONTROL OF A SECTION OF THE PARTY OF THE PAR	AD SAME CO. PROSE AND THE PROPERTY OF THE PROP			15		みからのRET命令	DEVICES PRESE	-	- 52	3/4
DEC 1 X	X ← X − 1		1000		The state of the s	(HL) obit b←0		75	1000	007		Same No Vertainer		020	
DEC IY	14←14−1		2	2 10	RES b, (IX	(IX+d)のbit		4 6	23	RST p	(SP-2)←PCL		1	3	11
					+ d)	b←0					(SP-1)←PCH				
					10/	0.0			1 1						
	P, pp: BC, DE, IX, S	SP,						4 6	23						
ss: BC, DE, HL, S rr: BC, DE, IY, S		SP,			RES b, (IY	(IY+d)のbit	•••••	4 6	23		PCL←p, PCH←0				
	Р						•••••	4 6	23		PCL←p, PCH←0				
					RES b, (IY + d)	(IY+d) øbit b←0	C. D. E. H. L.		23		PCL←p, PCH←0 ttl pは00H, 08H, 10H, 18H,				
rr : BC, DE, IY, S	P ビット循環命	令			RES b, (IY + d)	(IY+d)のbit b←0 器号(0~7), r:B,	C, D, E, H, L,		23		PCL←p, PCH←0 tetel p(\$00H, 08H, 10H, 18H, 20H, 28H, 30H,				
	Р		長	M T	RES b, (IY + d)	(IY+d) øbit b←0	C, D, E, H, L,		23		PCL←p, PCH←0 ttl pは00H, 08H, 10H, 18H,				
rr : BC, DE, IY, S	P ビット循環命	令	14 15 6 25	мт	RES b, (IY + d)	(IY+d)のbit b←0 器号(0~7), r:B,	C, D, E, H, L,		23		PCL←p, PCH←0 t=t=L p(±00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H				
rr : BC, DE, IY, S	P ビット循環命	令 フラグ動作	14 15 6 25	мт	RES b, (IY + d)	(IY+d)のbit b←0		A			PCL←p, PCH←0 tetel p(\$00H, 08H, 10H, 18H, 20H, 28H, 30H,	、条件が成立し	った。	とき	下
rr : BC, DE, IY, S	P ビット循環命	令 フラグ動作	14 15 6 25	мт	RES b, (IY + d)	(IY+d)のbit b←0 器号(0~7), r:B,	フラグ動作	A 長	23 T	① M 、 T サイクルは 側の値になる。	PCL←p, PCH←0 t=t=L p(±00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	、条件が成立し	たった。	とき	7
rr : BC, DE, IY, S	P ビット循環命	令 フラグ動作	14 15 6 25	мт	RES b, (IY + d)	(IY+d)のbit b←0		A 長			PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	、条件が成立し	, た i	2.8	7
rr: BC, DE, IY, S	P ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	ð		RES b, (IY + d) b: ピット3	(Y+d)のbit b←0	フラグ動作	A 長が	Т		PCL←p, PCH←0 t=t=L p(±00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	、条件が成立し	, to	とき	下
rr : BC, DE, IY, S	P ビット循環命	令 フラグ動作	ð		RES b, (IY + d)	(IY+d)のbit b←0	フラグ動作	A 長が		側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 入出力命令				T
rr: BC, DE, IY, S	P ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	ð		RES b, (IY + d) b: ピット3	(Y+d)のbit b←0	フラグ動作	A 長 M さ 3 3	Т		PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作	長		
rr: BC, DE, IY, S	P ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	ð		RES b, (IY + d) b: ピット:	(Y+d)のbit b←0	フラグ動作	A 長 さ 3 3 3 3 3	T 10 10 10	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 入出力命令		長		
rr: BC, DE, IY, S	ア ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	ð		RES b, (IY + d) b: ピット3 ニーモニック JP nn JP NZ, nn JP Z, nn	(IY+d)のbit b←0	フラグ動作	A 長 M 3 3 3 3 3 3 3	T 10 10 10 10	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 入出力命令	フラグ動作	長		
rr: BC, DE, IY, S	ア ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	1		RES b, (IY + d) b: ピット:	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	A 長 M 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作	長さ	м	T
rr: BC, DE, IY, S	P ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	1	1 4	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP Z, nn JP NC, nn JP NC, nn	(Y+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=0ならPC←nn	フラグ動作	A 表 M 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 入出力命令 動作内容	フラグ動作 C ZP/V S N H	長さ 2	м	T 11
rr: BC, DE, IY, S	ア ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	1	1 4	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP Z, nn JP Z, nn JP C, nn JP C, nn JP C, nn	(Y+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn	フラグ動作 C Z PV S N H	A き M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 100 100 100 100 100 100 100 100 100 10	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 入出力命令 動作内容 A←(n) r←(C), ただしフラ	フラグ動作	長さ 2	м	T 11
rr: BC, DE, IY, S	ア ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	1	1 4	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP Z, nn JP NC, nn JP NC, nn	(Y+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=0ならPC←nn	フラグ動作 C Z PV S N H	A き M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコ	フラグ動作 C ZP/V S N H	長さ 2	м	T 11
rr: BC, DE, IY, S	P ビット循環命 動作内容	フラグ動作 C ZP/V S N H	1	1 4	RES b, (IY +d) b: ピット! ニーモニック JP nn JP NZ, nn JP Z, nn JP NG, nn JP C, nn JP PG, nn JP PG, nn	(IY+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn C=0ならPC←nn C=1ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn	フラグ動作 C Z PV S N H	長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P V S N H ・ : P : 0 0	長さ 2 2	M 3 3	T 11 12
rr: BC, DE, IY, S	ア ビット循環命 動作内容	う フラグ動作 C Z P/V S N H	1	1 4	RES b, (IY + d) b: ピット ニーモニック JP nn JP NZ, nn JP Z, nn JP Z, nn JP C, nn JP C, nn JP PO, nn JP PE, nn JP P, nn	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコ	フラグ動作 C ZP/V S N H	長さ 2 2	M 3 3	T 11 12
rr: BC, DE, IY, S	P ビット循環命 動作内容	フラグ動作 C ZP/V S N H	1	1 4	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP Z, nn JP NC, nn JP PO, nn JP PO, nn JP PE, nn JP PE, nn JP M, nn	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B	フラグ動作 C Z P V S N H ・ : P : 0 0	長さ 2 2	M 3 3	T 11 12
rr: BC, DE, IY, S ニーモニック RLCA	P ビット循環命 動作内容	フラグ動作 C ZP/V S N H	1	1 4	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NC, nn JP NC, nn JP PO, nn JP PE, nn JP P, nn JP M, nn JP M, nn JP M, nn JP M, nn	(IY+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=0ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn PC←HL	フラグ動作 C Z PV S N H	A 長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 1 1 1 1	T 10 10 10 10 10 10 10 10 4	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B -1, HL←HL+1	フラグ動作 C Z PV S N H ・: P: 0 0	長 さ 2 2	M 3 3 4	T 11 12 16
rr: BC, DE, IY, S ニーモニック RLCA	P ビット循環命 動作内容	フラグ動作 C ZP/V S N H	1	1 4	RES b, (IY + d) b: Εν k	(Y+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn C=0ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX	フラグ動作 C Z PV S N H	長 M M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 1 1 1 2 2 2 2	T 10 10 10 10 10 10 10 10 4 8	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P V S N H ・ : P : 0 0	長さ 2 2 2	M 3 3 4 5	T 11 12 16 21
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1	1 4	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NC, nn JP NC, nn JP PO, nn JP PE, nn JP P, nn JP M, nn JP M, nn JP M, nn JP M, nn	(IY+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=0ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn PC←HL	フラグ動作 C Z PV S N H	長 M M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 1 1 1 2 2 2 2	T 10 10 10 10 10 10 10 10 4	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1	フラグ動作 C Z P/V S N H ・ P : 0 0 ・ : ××1× ・ 1××1×	長さ 2 2 2	M 3 3 4	T 11 12 16 21
rr: BC, DE, IY, S ニーモニック RLCA	P ビット循環命 動作内容	フラグ動作 C ZP/V S N H	1 1 1	1 4	RES b, (IY + d) b: ピット3	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 4 8 8 8	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B -1, HL←HL+1 (HL)←(C), B←B -1, HL←HL+1 B=0までくり返す	フラグ動作 C Z P V S N H ・ C Z P V S N H ・ P 1 0 0 ・ : ××1× ・ 1××1×	長さ 2 2 2 2 ②	M 3 3 4 5	T 11 12 16 21
rr: BC, DE, IY, S	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1	1 4	JP nn JP NZ, nn JP NZ, nn JP NC, nn JP C, nn JP PC, nn JP M, nn JP (HL) JP (IX) JP (IY) JR e	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	10 10 10 10 10 10 10 10 4 8 8 12	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1	フラグ動作 C Z P/V S N H ・ P : 0 0 ・ : ××1× ・ 1××1×	長さ 2 2 2 2 ②	M 3 3 4 5	T 11 12 16 21 16
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1	1 4	RES b, (IY + d) b: ピット3	(IY+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn S=0ならPC←nn S=0ならPC←nn PC←HL PC←IX PC←IY PC←PC+e Z=0ならPC←PC	フラグ動作 C Z PV S N H	A 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	10 10 10 10 10 10 10 10 4 8 8 12	側の値になる。 ニーモニック IN A, n IN r, (C) INI	PCL←p, PCH←0 ただし pは 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1 B=0までくり返す (HL)←(C), B←B	フラグ動作 C Z P V S N H ・ C Z P V S N H ・ P 1 0 0 ・ : ××1× ・ 1××1×	長さ 2 2 2 2 ②	M 3 3 4 5 4	T 11 12 16 21 16
rr: BC, DE, IY, S	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1	1 4	RES b, (IY + d) b: ピット: モニック JP nn JP NZ, nn JP NC, nn JP NC, nn JP PE, nn JP PE, nn JP M, nn JP (HL) JP (IX) JP (IY) JR R JR NZ, e	(IY+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←PC+e Z=0ならPC←PC +e	フラグ動作 C Z PV S N H	A 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	10 10 10 10 10 10 10 10 4 8 8 12 -7 12	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P/V S N H ・	長さ 2 2 2 2 2 2 2	M 3 3 4 5 4 4	T 11 12 16 21 16 16
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P IV S N H	1 1 1 1	1 4 1 4	RES b, (IY + d) b: Eyrhi ==y2 JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PE, nn JP PE, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e	(IY+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn S=0ならPC←nn S=0ならPC←nn PC←HL PC←IX PC←IY PC←PC+e Z=0ならPC←PC	フラグ動作 C Z PV S N H	A 長さ M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	10 10 10 10 10 10 10 10 4 8 8 12 -7 12 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P V S N H ・ C Z P V S N H ・ P 1 0 0 ・ : ××1× ・ 1××1×	長さ 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5	T 11 12 16 21 16 16 21
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1 1	1 4 1 4	RES b, (IY + d) b: Eyrhi ==y2 JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PE, nn JP PE, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e	(IY+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←PC+e Z=0ならPC←PC +e	フラグ動作 C Z PV S N H	A 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	10 10 10 10 10 10 10 10 4 8 8 12 -7 12 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P/V S N H ・	長さ 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5	T 11 12 16 21 16 16
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P IV S N H	1 1 1 1	1 4 1 4	RES b, (IY + d) b: Eyh:	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 4 8 8 12 -7 12 7 12	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←P, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H & 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B −1, HL←HL+1 (HL)←(C), B←B −1, HL←HL+1 B=0までくり返す (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B	フラグ動作 C Z P/V S N H ・	長さ 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4	T 11 12 16 21 16 16 21 16
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P IV S N H	1 1 1 1	1 4 1 4	RES b, (IY + d) b: Eyrhi ==y2 JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PE, nn JP PE, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e	(IY+d)のbit b←0 素号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=0ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn S=0ならPC←nn S=0ならPC←nn PC←HL PC←IX PC←IY PC←PC+e Z=0ならPC←PC +e C=0ならPC←PC	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 4 8 8 12 -7 12 7 12 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND	PCL←P, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H & 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B −1, HL←HL+1 (HL)←(C), B←B −1, HL←HL+1 B=0までくり返す (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B	フラグ動作 C Z P/V S N H ・	長さ 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5	T 11 12 16 21 16 16 21 16
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P IV S N H	1 1 1 1	1 4 1 4	RES b, (IY + d) b: Eyr: ==y2 JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PE, nn JP PE, nn JP (HL) JP (IX) JP (IX) JR (IX) JR (IX) JR OIR NZ, e JR NZ, e	(IY+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn P(V=0ならPC←nn P(V=0ならPC←nn B=0ならPC←nn S=0ならPC←nn PC←IX PC←IX PC←IY PC←PC+e Z=1ならPC←PC +e Z=1ならPC←PC +e C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 4 8 8 12 -7 12 7 12 7 12	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P/V S N H ・	長さ 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4	T 11 12 16 21 16 16 11
rr: BC, DE, IY, S =-===================================	P ビット循環命 動作内容 の 7 A 0 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1	フラグ動作 C Z P IV S N H 1 ・・・ 0 0 1 ・・・ 0 0 1 ・・・ 0 0	1 1 1 2	1 4 1 4 1 4 5 18	RES b, (IY + d) b: Eyrhi =	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	A 表 が 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 4 8 8 12 -7 12 7 12 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラグのみ影響を与えるコードがある (HL)←(C), B←Bー1, HL←HL+1 B=0までくり返す (HL)←(C), B←Bー1, HL←HL-1 (HL)←(C), B←Bー1, HL←HL-1 (HL)←(C), B←B	フラグ助作 C Z P V S N H ・: P: 0 0 ・: X X 1 X	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 3 3	T 11 12 16 21 16 16 11 12
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P IV S N H	1 1 1 2	1 4 1 4 1 4 5 18	RES b, (IY + d) b: Eyrhi =	(IY+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn P(V=0ならPC←nn P(V=0ならPC←nn B=0ならPC←nn S=0ならPC←nn PC←IX PC←IX PC←IY PC←PC+e Z=1ならPC←PC +e Z=1ならPC←PC +e C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC C=0ならPC←PC	フラグ動作 C Z PV S N H	A 長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A	PCL←p, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C Z P V S N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 3 4 5 4 4 5 4 3	T 11 12 16 21 16 16 11 12
rr: BC, DE, IY, S =-===================================	P ビット循環命 動作内容 の 7 A 0 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1	フラグ動作 C Z P IV S N H 1 ・・・ 0 0 1 ・・・ 0 0 1 ・・・ 0 0	1 1 1 2	1 4 1 4 1 4 5 18	RES b, (IY + d) b: Eyrhi =	(Y+d)のbit b←0	フラグ動作 C Z PV S N H	A 長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 4 8 8 12 -7 12 7 12 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C Z P V S N H ・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 3 3 4	T 11 12 16 21 16 16 21 16 11 12 16
rr: BC, DE, IY, S =ーモニック RLCA RLA RRCA RRA RRD	P ビット循環命 動作内容 の 7 A 0 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1	フラグ動作 C Z P/V S N H : •••00 : •••00 : •••00	1 1 1 2 2 2	1 4 1 4 1 4 1 4 5 18 5 18	RES b, (IY + d) b: Eyh:	(IY+d)のbit b←0 ■号(0~7), r:B, 分岐命令 動作内容 DC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=0ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn PC←HL PC←IX PC←IX PC←IY PC←PC+e Z=0ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r	PCL←p, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C Z P V S N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 5 5	T 11 12 16 21 16 21 16 11 12 16 21 16 21 17 18 18 18 18 18 18 18 18 18 18 18 18 18
rr: BC, DE, IY, S =-==================================	P ビット循環命 動作内容 の 7 A 0 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1	フラグ動作 C Z P IV S N H 1 ・・・ 0 0 1 ・・・ 0 0 1 ・・・ 0 0	1 1 1 2 2 2 2	1 4 1 4 1 4 5 18 5 18 2 8	RES b, (IY + d) b: Eyh:	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A 長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C Z P V S N H ・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 3 3 4	T 11 12 16 21 16 21 16 11 12 16 21 16 21 17 18 18 18 18 18 18 18 18 18 18 18 18 18
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA RRA	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	フラグ動作 C Z P/V S N H : •••00 : •••00 : •••00	1 1 1 2 2 2 2	1 4 1 4 1 4 1 4 5 18 5 18	RES b, (IY +d) b: Eyh: E-y2 JP nn JP NZ, nn JP NZ, nn JP NZ, nn JP C, nn JP PO, nn JP PE, nn JP M, nn JP (HL) JP (IX) JP (IX) JR (IY) JR e JR NZ, e JR C, e DJNZ e	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI	PCL←P, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C Z P V S N H ・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 5 5	T 11 12 16 21 16 21 16 11 12 16 21 16 21 17 18 18 18 18 18 18 18 18 18 18 18 18 18
rr: BC, DE, IY, S =-===y2 RLCA RLA RRCA RRA RLD RRD RLC r RLC (HL)	P ビット循環命 動作内容 の 7 A 0 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1 A 1	7 7 7 10 17 C Z P IV S N H 1 • • • 0 0 1 • • • 0 0 1 • • • 0 0 1 • • • 0 0 1 • • • 0 0	1 1 1 2 2 2 2 2	1 4 1 4 1 4 5 18 5 18 5 18 4 15 18	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PC, nn JP PC, nn JP (HL) JP (IX) JP (IX) JR (IY) JR e JR NZ, e JR NZ, e JR C, e DJNZ e	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR	PCL←p, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C ZPVS N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 5 4	T 11 12 16 21 16 11 12 16 21 16
RLCA RRA RRA RRCA RRCA RRCA RRA RRD RRC (HL) RRC (HL) RRC (IX+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	フラグ動作 C ZP/V S N H : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00 : ・・・00	1 1 1 1 2 2 2 2 4	1 4 1 4 1 4 1 4 5 18 5 18 5 18 6 23	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ, nn JP NC, nn JP C, nn JP PC, nn JP NC,	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C Z P V S N H ・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 5 4	T 11 12 16 21 16 11 12 16 21 16
RLCA RRCA RRCA RRCA RRCA RRCA RRCA RRCA	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	フラグ動作 C Z PV S N H : •••00 : •••00 : •••00 : •••00 : ! P!00 : ! P!00 : ! P!00 : ! P!00 : ! P!00	1 1 1 2 2 2 2 4 4 4	1 4 1 4 1 4 1 4 1 4 5 18 5 18 5 18 6 23 6 23	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP Z, nn JP NC, nn JP C, nn JP PC, nn JP PC, nn JP PC, nn JP M, nn JP (HL) JP (IX) JP (IX) JR (IX)	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H ・条件不成立のとき上側 ・系件不成立のとき上側 ・系件不成立のとき上側 ・系件不成立のとき上側 ・系件不成立のとき上側 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	75/80/FC C ZF//S N H • • • • • • • • • • • • † P 1 0 0 ① • † × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 4 4	T 11 12 16 21 16 16 11 12 16 21 16 11 12 16 11 16 11 11 11 11 11 11 11 11 11 11
RLCA RRA RRA RRD RRC (HL) RC (IX+d) RLC (IY+d) RLC (IY+d) RLC (IY+d) RLC (IY+d) RLC (IY+d) RLC (IY+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	7 7 7 10 17 C ZPIV S N H 1 • • • 0 0 0 1 • • • 0 0	1 1 1 1 2 2 2 2 4 4 4 2	1 4 1 4 1 4 1 4 5 18 5 18 5 18 6 23 8 6 23 8	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ, nn JP NZ, nn JP PQ, nn JP PQ, nn JP PE, nn JP M, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e JR NZ, e DJNZ e ①M、Tサイクルは 側の値になる。②B	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR	PCL←P, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C ZPVS N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 5	T 11 12 16 16 16 11 12 16 16 16 21 16 16 21 16
RLCA RRA RRA RRCA RRCA RRCA RRCA RRCA RR	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	T T T T T T T T T T T T T T T T T T T	1 1 1 1 1 2 2 2 2 4 4 2 2 2 2 2 2 2 2 2	1 4 1 4 1 4 1 4 5 18 6 23 6 23 8 4 15 1 6 1	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PC, nn JP PC, nn JP M, nn JP (HL) JP (IX) JP (IX) JR (IY) JR e JR NZ, e JR NZ, e JR C, e DJNZ e ①M、Tサイクルは 側の値になる。②B	(IY+d)のbit b←0	フラグ動作 C Z PN S N H	長 M M 表 M M M M M M M M M M M M M M M M	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H ・条件不成立のとき上側 ・系件不成立のとき上側 ・系件不成立のとき上側 ・系件不成立のとき上側 ・系件不成立のとき上側 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	75/80/FC C ZF//S N H • • • • • • • • • • • • † P 1 0 0 ① • † × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 4 4	T 11 12 16 16 16 11 12 16 16 16 21 16 16 21 16
RLCA RRA RRA RRD RRC (HL) RC (IX+d) RLC (IY+d) RLC (IY+d) RLC (IY+d) RLC (IY+d) RLC (IY+d) RLC (IY+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	7 7 7 10 17 C ZPIV S N H 1 • • • 0 0 0 1 • • • 0 0	1 1 1 1 1 2 2 2 2 4 4 2 2 2 2 2 2 2 2 2	1 4 1 4 1 4 1 4 5 18 5 18 5 18 6 23 8 6 23 8	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PC, nn JP PC, nn JP PC, nn JP M, nn JP (HL) JP (IX) JP (IX) JR (IY) JR e JR NZ, e JR NZ, e JR C, e DJNZ e ①M、Tサイクルは 側の値になる。②B	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	A 長き M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR	PCL←P, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	75/80/FC C ZF//S N H • • • • • • • • • • • • † P 1 0 0 ① • † × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 5	T 11 12 16 16 16 11 12 16 16 16 21 16 16 21 16
RLCA RRCA	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	T T T T T T T T T T T T T T T T T T T	1 1 1 1 2 2 2 2 4 4 2 2 4 4 4 2 2 4 4	1 4 1 4 1 4 1 4 1 4 5 18 5 18 5 18 6 23 6 23 2 4 15 6 23 6 23 2 7 6 23 7 6 23 7 6 23 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ	(IY+d)のbit b←0	フラグ動作 C Z PN S N H	長 M M 表 M M M M M M M M M M M M M M M M	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	75/80/FC C ZF//S N H • • • • • • • • • • • • † P 1 0 0 ① • † × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 × • 1 × × 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 5	T 11 12 16 16 16 11 12 16 16 16 21 16 16 21 16
RLCA RLA RRCA RRCA RRCA RRCA RLD RC r RLC (HL) RLC (IX+d) RLC (IY+d) RL r RL (HL) RL (HL) RL (HL) RL (HL) RL (HL)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	T T T T T T T T T T T T T T T T T T T	1 1 1 1 2 2 2 4 4 4 2 2 4 4 4 4 4 4 4 4	1 4 1 4 1 4 1 4 5 18 6 23 6 23 6 23 6 23 6 23 6 23 6 23 6 2	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ	(IY+d)のbit b←0	フラグ動作 C Z P/V S N H	長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR OUTD OTDR	PCL←P, PCH←0 ただし pid 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ助作 C ZPVS N H ・: P! 0 0 ・: X X 1 X ・: X X X X X X X X X X X X X X X X X X X	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 4	T 11 12 16 21 16 16 16 16 16 16 16 16 16 16 16 16 16
RLCA RRCA	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	T 7 7 10 1 1	1 1 1 1 2 2 2 4 4 4 2 2 4 4 4 4 4 4 4 4	1 4 1 4 1 4 1 4 5 18 6 23 6 23 6 23 6 23 6 23 6 23 6 23 6 2	RES b, (IY + d) b: ピット: ニーモニック JP nn JP NZ, nn JP NZ	(IY+d)のbit b←0	フラグ動作 C Z PV S N H	長 M 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	T 10 10 10 10 10 10 10 10 10 10 10 10 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR IND INDR OUT n, A OUT (C), r OUTI OTIR OUTD OTDR	PCL←P, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C ZPVS N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 3 4 5 4 4 5 4 4 5 4	T 11 12 16 21 16 16 16 16 16 16 16 16 16 16 16 16 16

44

46

47

48

49

4A

4B

51

53

55

56

57

59

5E

60

62

63

64

65

66

67

69

6D

6F

78

79

7B

7C

74

FD 56 d

FD 5E d

8ビット移動命令 LD B, B LD B. C LD B. D LD B, E LD B. H LD B. L LD B, (HL) ID B A LD C. B LD C. C LD C. D LD C. E LD C, H LD C, L LD C, (HL) LD C, A LD D, B LD D. C LD D. D ID D. F LD D. H LD D. L. LD D. (HL' ID D. A LD E. B LD E. C LD E. D ID F. F. LD E. H LD E. I LD E, (HL) LD E. A LD H. B LD H. C ID H.D LD H. E LD H. H LD H. L LD H, (HL) LD H, A LD L, B LD L. C LD L. D LD L, E LD L, H LD L, L LD L, (HL) IDIA ID A. B LD A. C ID A.D LD A. E LD A. H LD A, L LD A, (HL) LD A, A LD (HL), B LD (HL), C LD (HL), D LD (HL), E LD (HL), H ID (HI) I LD (HL), A 05 n ID B. n LD C. n ØE n LD D, n 16 n LD E, n 1E n LD H, n 26 n 2E n LD (HL), n LD A, n DD 46 d LD B, (IX+d)DD 4E d LD C, (IX+d)DD 56 d LD D, (IX+d)DD 5F d LD E. (IX+d)DD 66 d LD H, (IX+d)LD L. (IX+d)DD 6E d LD A. (IX+d)DD 7F d FD 46 d LD B. (IY+d)FD 4E d LD C, (IY+d)

FD 66 d LD H, (IY+d) FD 6E d LD L, (IY+d) FD 7F d LD A. (IY+d) DD 70 d LD(IX+d), B DD 71 d LD (IX+d) C LD(IX+d), D DD 72 d DD 73 d LD(IX+d). E LD (IX+d), H DD 74 d DD 75 d LD(IX+d), LDD 77 d LD (IX+d), A DD 36 d n LD(IX+d), n FD 70 d LD (IY+d), B FD 71 d LD (IY+d), C FD 72 d LD (IY+d), DFD 73 d

LD(IY+d), L LD(IY+d), n LD A. (BC)

LD (IY+d), E FD 74 d LD (IY+d), H FD 75 d FD 77 d LD(IY+d). A FD 36 d n LD A, (DE) 3A nn_L nn_H LD A, (nn) LD (BC), A LD (DE). A 32 nn_L nn_H LD (nn), A LD I, A LD R. A

OA

1A

FD F9

C5

D5

F5

DD F5

FD E5

DD E1

FD E1

FR

08

D9

F3

DD E3

FD E3

ED A9

FD B9

27

ED 44

LD D, (IY+d)

LD E, (IY+d)

C1

D1

E1

ED 47 ED 4F ED 57 LD A. I FD 5F ID A.R 16ビット移動命令 LD BC, nn 01 nn. nn.. LD DE, nn LD HL, nn LD SP. nn LD IX, nn LD IY, nn

11 nn, nn_H 21 nn, nn, 31 nn, nn_H DD 21 nn_L nn_H FD 21 nn_L nn_H 2A nn, nn, LD HL, (nn ED 4B nn nn LD BC, (nn) ED 5B nn nn LD DE, (nn) ED 6B nn_L nn_H LD HL, (nn) ED 7B nn L nn H LD SP, (nn) DD 2A nn_L nn_H LD IX, (nn) FD 2A nn_L nn_H LD IY, (nn) 22 nn, nn, LD (nn), HL ED 43 nn L nn LD (nn), BC ED 53 nn_L nn_H LD (nn), DE ED 63 nn nn LD (nn), HL ED 73 nn, nn, LD (nn), SP DD 22 nn_L nn_H LD (nn), IX FD 22 nn_L nn_H LD (nn), IY LD SP, HL DD F9 LD SP. IX

> POP DE POP HL POP AF POP IX POP IY 交換命令 FX DF HI EX AF. AF

> > EX (SP), HL

EX (SP), IX

EX (SP), IY

AA

AB

AC

AD

AF

AF

B8

BA

BB

BC

BD

EE n

DD AE d

FD AE d

EXX

LD SP. IY

PUSH BC

PLISH DE

PUSH HI

PUSH AF

PUSH IX

PUSH IY

POP BC

ブロック転送命令 ED A0 LDI ED BØ LDIR ED A8 LDD FD B8 LDDR ED A1 CPI CPIR FD B1 CPD

> CPU制御命令 DAA CPL NEG

CPDR

SCF 00 NOP 76 HALT F3 DI FB IM Ø ED 46 IM 1 FD 56 ED 5E IM 2

80

81

82

83

84

85

86

87

89

8A

8B

8C

C6 n

DD 86 d

FD 86 d

8ビット演算命令 ADD A, B ADD A, C ADD A, D ADD A. E. ADD A. H ADD A. L. ADD A. (HL) ADD A. A

ADD A. n. ADD A, (IX+d) ADD A, (IY+d)ADC A. B ADC A. C ADC A, D ADC A. E. ADC A, H ADC A. L. ADC A, (HL) ADC A A

8D 8F CF n ADC A. n. DD 8E d ADC A, (IX+d) FD 8F d ADC A. (1Y+d)SUB B 91 SUB C 92 SUB D 93 SUB E 94 SUB H 95 SUB L 96 SUB (HL) 97 SUB A SUB n

D6 n SUR (IX+d) DD 96 d FD 96 d SUB (IY+d) SBC A. B 99 SBC A, C SBC A, D SBC A, E 9B SBC A. H 9D SBC A, L 9E SBC A, (HL) QF SBC A, A DE n SBC A, n DD 9E d SBC A, (IX+d) FD 9E d SBC A. (IY+d) AØ AND B

A1 AND C A2 AND D A3 AND E A4 AND H A5 AND L AND (HL) A7 AND A AND n DD A6 d AND (IX+d)FD A6 d AND (IY+d)RØ. OR B BI OR C

B2 OR D R3 OR F **B4** OR H B5 OR L B6 OR (HL) B7 OR A F6 n OR n DD B6 d OR(IX+d)FD B6 d OR (IY+d)A8 XOR B ΔQ

XOR C XOR D XOR E XOR H XOR L XOR (HI) XOR A XOR n XOR(IX+d)XOR (IY+d) CP B CP C

CP D

CP E

CP H

CP L

BF CP A FF n CP n DD BF d CP (IX+d) FD BE d CP(IY+d)INC B 04 0C INC C INC D INC E 24 INC H 2C INC INC (HL) 34

BE

DD 34 d

FD 34 d

05

ØD.

15

1D

25

2D

OR

1B

2B

3B

07

OF

CB 15

CB 16

DD 35 d

FD 35 d

INC. A INC (IX+d)INC (IY+d) DEC B DEC C DEC D DEC E DEC H DEC L DEC (HL) DEC A DEC (IX+d)

DEC (IY+d)

CP (HL)

16ビット演算命令

09 ADD HL. BC 19 ADD HI DE 29 ADD HL. HL ADD HL, SP 39 ED 4A ADC HL, BC ED 5A ADC HL, DE ED 6A ADC HL, HL ED 7A ADC HL, SP ED 42 SBC HL, BC ED 52 SBC HL, DE ED 62 SBC HL, HL ED 72 SBC HL SP DD 09 ADD IX. BC DD 19 ADD IX. DE

DD 29 ADD IX IX DD 39 ADD IX. SP FD 09 ADD IY, BC FD 19 ADD IY, DE FD 29 ADD IY, IY FD 39 ADD IY, SE INC BC INC DE INC HL 23 INC SP 33 DD 23 INC IX FD 23

INC IY DEC BC DEC DE DEC HI DEC SP DD 2B DEC IX FD 2B DEC IY

ビット循環命令

RLA

RRCA

RRA CB 00 RLC B CB 01 RLC C CR 02 RIC D CB 03 RICE CB 04 RLC H CB 05 RLC L CB 06 RLC (HL) CB 07 RLC A DD CB d 06 RLC (IX+d) FD CB d 06 RLC (IY+d) CB 08 RRC B CB 09 RRC C CB ØA RRC D CB ØB RRC F

CB ØC RRC H CB ØD RRC L CR OF RRC (HL) CB ØF RRC A DD CB d ØE RRC(IX+d)FD CB d 0E RRC (IY+d) CB 10 RL B CB 11 RL CB 12 RL CB 13 CB 14

RL

RL (HL)

FD CB d 16 (IY+d)CR 18 RR RR CB 19 CB 1A RR RR CB 1B CB 1C CB 1D (HL) CB 1E RR CB 1F DD CB d 1E RR (IX+d)FD CB d 1E RR (IY+d)**CB 20** SI A B CB 21 SLA C CB 22 SIAD CB 23 SIAF **CB** 24 SLA H **CB 25** SLA L SLA (HL) **CB 26** CB 27 SLA A DD CB d 26 SLA (IX+d) FD CB d 26 **CB 28** SRA B SRA C CB 29 SRA D CR 2A CB 2B SRA F CB 2C SRA H CB 2D SRA L CB 2F SRA (HL) CB 2F SRA A DD CB d 2E SRA (IX+d)FD CB d 2F SRA (IY+d) CB 38 SRL B **CB** 39 SRL C SRL D **CB 3B** SRL E **CB 3C** SRL H CB 3D SRL L CB 3E SRL (HL)

SRL A

RID

RRD

ビット操作命令

SRL (IY+d)

SRL (IY+d)

RL (IX+d)

RI

CB 6E

CB 6F

CB 70

CB 71

CB 72

CB 73

CB 74

CB 75

CB 76

CB 77

CB 78

CB 79

CB 7A

CB 7B

CB 7C

CB 7D

CB 7E

CB 7F

DD CB d 46

DD CB d 4F

DD CB d 56

DD CB d 5E

DD CB d 66

DD CB d 6F

DD CB d 76

DD CB d 7E

FD CB d 46

FD CB d 4E

FD CB d 56

FD CR d 5F

FD CB d 66

FD CB d 6E

FD CB d 76

FD CB d 7E

SET Ø, E

SET Ø, H

SET Ø, L

SET Ø, A

SET 1. B

SET 1, C

SFT 1. D

SET 1. E

SET 1. H

SET 1. L

SET 1. A

SET 2, B

SET 2, D

SET 2. E

SET 2, H

SFT 2.1

SFT 2. A

SET 3. B

SFT 3. C

SET 3. D

SET 3, E

SET 3, H

SET 3, L

SET 3, A

SET 4, B

SET 4, C

SET 4. D

SFT 4 F

SET 4. H

SET 4. L

SET 4. A

SET 5, B

SET 5, C

SET 5, D

SET 5, H

SET 5. A

SET 6. B

SET 6, C

SFT 6. D

SET 6. E

SET 6. H

SET 6. L

SET 6. A

SET 7, B

SET 7, C

SET 7, D

SET 7. E

SET 6, (HL)

SET 5, (HL)

SET 5. L

SET 4. (HL)

SET 3, (HL)

SET 2, (HL)

SET 1, (HL)

SET 0, (HL)

CB CØ

CB C1

CB C2

CB C3

CB C4

CB C5

CB C6

CB C7

CB C8

CR C9

CB CA

CB CB

CB CC

CB CD

CB CE

CB CF

CB DØ

CB D1

CB D2

CB D3

CB D4

CB D5

CR D6

CB D7

CB D8

CB D9

CB DA

CB DB

CB DC

CB DD

CB DE

CB DF

CB EØ

CB E1

CR F2

CR F3

CR F4

CB E5

CB E6

CB E7

CB E8

CB E9

CB EA

CB EB

CB EC

CB ED

CB EE

CB EF

CB FØ

CB F1

CB F2

CB F3

CB F4

CB F5

CB F6

CB F7

CB F8

CB F9

CB FA

CB FB

BIT 5. (HL)

CB 17

CD 3F

FD 6F

ED 67

CB 62

CB 63

CB 64

CB 65

CB 66

CB 67

CB 68

CB 69

CB 6A

CB 6B

CB 6C

CB 6D

DD CB d 3E

FD CB d 3E

DD CB d 16

CB 40 BIT Ø. B CB 41 BIT Ø, D **CB** 42 **CB 43** BIT Ø, E BIT Ø, H CR 44 CB 45 BIT Ø. L CB 46 BIT Ø. (HL) CB 47 BIT Ø. A CR 48 BIT 1 B CB 49 BIT 1. C CB 4A BIT 1. D CB 4B BIT 1. E CB 4C BIT 1, H BIT 1, L CB 4D CB 4E BIT 1, (HL) BIT 1, A BIT 2, B **CB** 50 BIT 2, C CB 51 **CB** 52 BIT 2. D **CB** 53 BIT 2, E CB 54 BIT 2, H CR 55 BIT 2, L CB 56 BIT 2. (HI **CB 57** BIT 2. A BIT 3, B **CB** 58 BIT 3, C **CB** 59 CB 5A BIT 3, D BIT 3, H CB 5D BIT 3, (HL) CB 5E BIT 3, A CB 5F **CB 60** BIT 4, B CB 61 BIT 4. C

BIT 4. D

BIT 4 F

BIT 4. H

BIT 4. L

BIT 4, A

BIT 5, B

BIT 5, C

BIT 5. D

BIT 5, E

BIT 5, H

BIT 5, L

BIT 4, (HL)

BIT 5, A CB FD SET 7, L BIT 6, B CB FE SET 7, (HL) BIT 6, C CB FF BIT 6. D DD CB d C6 SET 0, (IX+d) BIT 6. E DD CB d CF SFT 1 (IX+d) DD CB d D6 BIT 6. H SET 2, (IX+d) BIT 6. L DD CB d DE SET 3. (1X+d) BIT 6, (HL) DD CB d E6 SET 4. (IX+d) BIT 6. A DD CB d EE SET 5, (IX+d) BIT 7. B DD CB d F6 SET 6. (IX+d) BIT 7. C DD CB d FE SET 7, (IX+d) BIT 7, D FD CB d C6 SET 0, (1Y+d) BIT 7, E FD CB d CF SET 1, (IY+d) FD CB d D6 BIT 7, H SET 2. (1Y+d) BIT 7, L FD CB d DE SET 3, (1Y+d) BIT 7, (HL) FD CB d F6 SET 4. (1Y+d) BIT 7. A FD CB d EE SET 5, (IY+d) BIT 0. (IX+d) FD CB d F6 SFT 6. (1Y+d) BIT 1, (IX+d) FD CB d FE SET 7. (IY+d)BIT 2, (IX+d) CB 80 RES Ø B BIT 3, (IX+d) CB 81 RES Ø. C BIT 4, (IX+d) CB 82 RES Ø. D BIT 5, (IX+d) CB 83 RES Ø. E BIT 6, (IX+d) **CB 84** RES Ø. H BIT 7, (IX+d) **CB 85** RES Ø. L BIT 0, (IY+d) **CB 86** RES 0, (HL) BIT 1, (IY+d) CB 87 RES Ø, A BIT 2. (IY+d) CB 88 RES 1, B RIT 3 (1Y+d) CB 89 RES 1. C BIT 4, (IY+d) CR 8A RES 1, D BIT 5. (IY+d) CB 8B RES 1. F BIT 6, (1Y+d) CB 8C RES 1. H BIT 7, (IY+d) CB 8D RES 1.1 SET Ø. B CB 8E RES 1. (HL) SET Ø. C CB 8F RES 1. A SET Ø. D CB 90

CB 91

CB 92

CB 93

CB 94

CB 95

CB 96

CB 97

CB 98

CB 99

CB 9A

CB 9B

CB 9C

CB 9D

CB 9E

CB 9F

CB AØ

CB A1

CB A2

CR A3

CR A4

CB A5

CB A6

CB A7

CB A8

CB A9

CB AA

CB AB

CB AC

CB AD

CB AE

CB AF

CR RO

CR R1

CR R2

CB B3

CB B4

CB B5

CB B6

CB B7

CB B8

CB B9

CB BA

CB BB

CB BC

CB BD

CB BF

CR RF

DD CB d 86

DD CB d 8E

DD CB d 96

DD CB d 9E

DD CB d A6

DD CB d AE

DD CB d B6

DD CB d BE

FD CB d 86

FD CB d 8E

CB FC

SET 7, H

F9 RES 2, B RES 2, C RES 2. D RES 2, E RES 2, H RES 2, L RES 2, (HL) RES 2. A RES 3. B RES 3. C RES 3 D RES 3. E RES 3. H RES 3, L RES 3. (HI)

RES 4. B

RES 4, C

RES 4, D

RES 4. E

RES 4, H

RES 4 1

RFS 4 A

RES 5. B

RES 5. C

RES 5, D

RES 5, E

RES 5, H

RES 5. L

RES 5. A

RES 6. B

RES 6. C

RES 6. D

RES 6. F

RES 6. H

RES 6. L

RES 6, A

RES 7, B

RES 7. C

RES 7. D

RES 7, E

RES 7, H

RES 7. L

RES 7 A

RES 7, (HL)

RES 0. (IX+d)

RES 1. (IX+d)

RES 2. (IX+d)

RES 3, (IX+d)

RES 4, (IX+d)

RES 5, (IX+d)

RES 6, (IX+d)

RES 7, (IX+d)

RES 0, (1Y+d)

RES 1, (IY+d)

RES 6. (HL)

RES 5, (HL)

RES 4, (HL)

FD CB d 96 RES 2, (IY+d) FD CB d 9E RES 3. (1Y+d) FD CB d A6 RES 4. (1Y+d FD CB d AE RES 5, (IY+d) FD CB d B6 RES 6, (1Y+d) FD CB d BE RES 7. (1Y+d)

分岐命令 C3 nn_L nn_H IP nn C2 nn, nn_H JP NZ, n CA nn_L nn_H JP Z, nn D2 nn_L nn_H JP NC, n DA nn_L nn_H JP C, nn JP PO, n E2 nn_L nn_H JP PE, n EA nn_L nn_H JP P, nn F2 nn, nn, FA nn nn JP M, nn 18 e IR e 20 P JR NZ. e 28 e JR 7 e 30 e JR NC. e 38 e JR C. e

JP (HL) JP (IX) DD E9 FD E9 JP (IY) DJNZ e

THE	コール命令
CD nn _L nn,	CALL n
C4 nn _L nn _I	CALL NZ, nn
CC nn _L nn _F	CALL Z, nn
D4 nn _L nn,	CALL NC, nn
DC nn _L nn _P	CALL C, nn
E4 nn _L nn _F	CALL PO, nn
EC nn _L nn _H	CALL PE, nn
F4 nn _L nn _P	CALL P, nn
FC nn _L nn _I C9	CALL M, nn RET
CØ	RET NZ
C8	RET Z
DØ	RET NC
D8	RET C
EØ	RET PO
E8	RET PE
FØ	RET P
F8	RET M
ED 4D	RETI
ED 45	RETN
C7	RST 00H
CF	RST 08H
D7	RST 10H
DF	RST 18H
E7	RST 20H
EF	RST 28H
F7	RST 30H
FF	RST 38H

8.00	入出力命令
20	
DB n	IN A, (n)
ED 40	IN B, (C)
ED 48	IN C, (C)
ED 50	IN D, (C)
ED 58	IN E, (C)
ED 60	IN H, (C)
ED 68	IN L, (C)
ED 70	[IN F. (C)]
ED 78	IN A, (C)
ED A2	INI
ED B2	INIR
ED AA	IND
ED BA	INDR
D3 n	OUT (n), A
ED 41	OUT (C), B
ED 49	OUT (C), C
ED 51	OUT (C), D
ED 59	OUT (C), E
ED 61	OUT (C), H
ED 69	
ED 69	OUT (C), L

OUT

OTIR

OUTD

OTDR

ED A3

ED B3

FD AB

ED BB